Jahresbericht

von Prof. Dr. Matthias Fertig

Universität Konstanz
für angewandte Wissenschaften

2020

Dieser Jahresbericht informiert über meine Tätigkeiten in der akademischen Lehre, Forschung- und Entwicklung an der Universität für angewandte Wissenschaften in Konstanz.

Vorwort

S.1 Symposium „Future Computer Hardware“ der Universität Heidelberg

S.2 63. Workshop der Multi-Project-Chip (MPC) Gruppe

S.3 1. International Symposium on Automation, Information and Computing 2020 (ISAIC)

S.4 Optimierung von Algorithmen der elektromagnetischen Fourier-Simulation

S.5 Fließkomma Multiply-Add Einheit mit Posit Arithmetik und Quire Format

S.6 Performanceanalyse von RISC-V Prozessoren mit SystemVerilog Assertions

S.7 Neue Wahlpflichtfächer
- Programmierlabor ‚Elektromagnetische Simulation‘
- RTL-Entwurf mit SystemVerilog

S.8 Master-, Bachelor und Projektarbeiten, Praktisches Studiensemester, Kursangebot, Publikationen, Drittmittel

Vorwort

Liebe Leser,

aus Sicht der Hochschullehre war das Jahr 2020 sehr speziell. Die Umstellung auf Online-Lehre war aufwendig aber nicht schwierig, denn die meisten Inhalte lagen ohnehin digital vor. Kollegen, die noch Overhead-Projektor und Klarsichtfolie nutzten, hatten es etwas schwerer.

Durch die Verschiebung des Semesterstarts um einen Monat war ausreichend Zeit für die Umstellung auf Online-Betrieb. Nachdem die nötigen Anpassungen vollzogen waren, konnten die Kurse wie geplant und ohne Ausfälle durchgeführt werden. Glücklicherweise bietet WebEx eine dreimonatige und kostenlose Testversion an – gerade passend für den Vorlesungsbetrieb in einem Semester. Durch die Vorbereitungen akklimatisierten sich die Studenten schnell im Online-Format und nutzten die Chat-Funktion ausgiebig um Fragen zu stellen – viel mehr als ich das im Hörsaal gewohnt bin, vermutlich aufgrund der Anonymität.

Da die Online-Lehre damit organisiert war, konnte ich mich auch anderen interessanten Tätigkeiten widmen – so zum Beispiel dem Gestaltung neuer Veranstaltungen auf meinen Fachgebieten. Ich hatte bereits im Sommersemester 2019 begonnen, den Kurs *‚RTL-Design mit SystemVerilog'* [w3] aufzubauen. Diesen habe ich dann teilweise während des Sommersemesters und dann schlussendlich in den Semesterferien fertig gestellt. Im gleichen Semester hatte mich ein wirklich sehr geschätzter Kollege auf die Idee gebracht, ein Programmierlabor in Form eines sogenannten „Selbstlernkurses" aufzubauen. Ein etwas eigenwilliges Konzept ohne Kontakt zum Dozenten in Form von Vorlesung oder Übung. Die Idee des unterstützen eigenständigen Lernens ist jedoch interessant – *‚ein Kurs, in dem Teilnehmer eigenen Code entwickeln und dann von der Programmierumgebung automatisch Rückmeldung über Korrektheit, Laufzeit erhalten'*. So habe ich mich sogleich daran gemacht, eine entsprechende Programmierumgebung zu entwickeln, die es jedem Teilnehmer ermöglicht, einen zuvor gelehrten Algorithmus zu implementieren. Ein wohldefiniertes Problem mit einer eindeutigen Lösung war nötig, aber da ich mich seit vielen Jahren eingehend mit elektromagnetischen Fourier-Simulatoren beschäftige, fiel die Wahl nicht schwer und so unterstützt die Programmierumgebung zwischenzeitlich den BPM, WPM und VWPM Algorithmus für CPU und GPU, zwei- und drei-dimensionale Modelle sowie skalare und vektorielle Felder. Durch die Wahl des geeigneten Algorithmus ist der Schwierigkeitsgrad leicht an die (Vor-)Kenntnisse der Teilnehmer anpassbar. Die Umgebung wurde sogleich in zwei Projektarbeiten getestet und die Veranstaltung kann nun ab dem Sommersemester 2021 im Bachelor- und/oder im Master-Studium angeboten werden. Mehr Informationen zum Programmierlabor elektromagnetische Simulation [w3] erhalten sie in diesem Jahresbericht. Neben dem *‚Photoniklabor'* [w3] und der Veranstaltung *‚Optik & Photonik'* [w3] stehen nunmehr vier Wahlpflichtveranstaltungen zum Angebot.

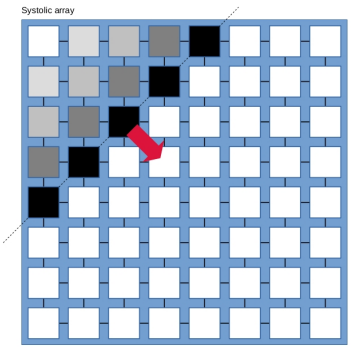
Die Teilnahme am MPC-Workshop [w3] im Februar kam gerade noch rechtzeitig vor dem Lockdown und meine Funktion im *‚Technical Programm Committee'* des ISAIC 2020 [w3] konnte ich allenfalls online wahrnehmen. Die Einladung in dieses Komitee im Frühjahr 2020 war eine große Anerkennung. Wie Sie lesen werden, war das Sommer- und Wintersemester 2020 trotz der speziellen Umstände alles andere als unproduktiv. Ich wünsche Ihnen viel Spaß beim Lesen dieses Jahresberichts.

Herzlichst Ihr
Matthias Fertig

Future Computer Hardware Symposium

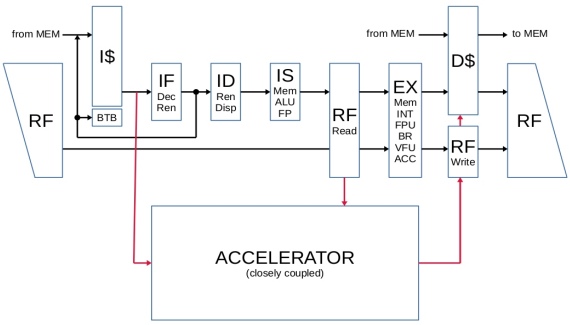
des Zentralen Insitiuts für Technische Informatik ZITI der Universität Heidelberg

Vom 24.04. bis 24.07.2020 organisierte der Lehrstuhl für Rechnerarchitektur des Zentrale Instituts für Technische Informatik (*ZITI*) der Universität Heidelberg das Symposium zum Thema „Future Computer Hardware". An neun Terminen präsentierten ausgewählte Sprecher aus Industrie und Wissenschaft zum Thema und diskutierten im Anschluss interessante Möglichkeiten innovativer Hardwarelösungen. Im Fokus standen dabei die Anforderungen an die Rechnerarchitekturen der nächsten Generationen für die Anwendungsgebiete Künstliche Intelligenz und Deep Learning, Big Data, Internet of Things und Automotive.

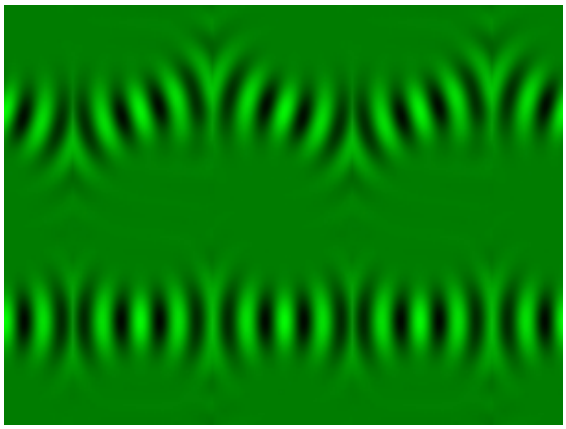


Systolisches Array von PEs.

Die Schwerpunkte der Präsentationen lagen auf innovativen Rechnerarchitekturen, intelligente Sensoren und energieeffizientes High-Performance Computing, Design und Technologie Co-Optimierung, Open-Source Hardware für Anwendungen der Künstlichen Intelligenz, Processing-in-Memory für Big Data sowie Effizienz, Sicherheit und Flexibilität adaptiver digitaler Schaltungen. Aus der Industrie präsentierte Frau Dr. Michaela Blott von Xilinx Research zum Thema FPGA-basierte Rechnerarchitekturen für Deep Learning. Dr. Johannes Schemmel vom Kirchhoff Institut für Physik (*KIP*) referierte in seinem Vortrag mit dem Titel *‚Brain Inspired Computing'* zur Implementierung künstlicher neuronaler Netze und wie die Natur Ideen für hochperformante Lösungsansätze liefert.



Prozessoreinheit mit integriertem Akzelerator für Spezialanwendungen mit Netzwerk- und (optischer) Speicherschnittstelle für Anwendungen der künstlichen Intelligenz.



Simulation eines Wellenleiters mit negativ-index Meta-Materialien mit der VWPM.

Als erster Redner hatte ich die Gelegenheit, meinen Vortrag mit dem Titel *‚Innovative Computing'* zu präsentieren. Darin wurden Lösungsansätze für innovative Rechner-architekturen mit dem offenen Instruktionssatz *RISC-V*, z.B. Systolische Arrays von RISC-V Rechenkernen (PEs) hochintegrierte optischen Komponenten der Silizium-Photonik für optische Verbindungstechniken, schnelle Recheneinheiten mit dem Posit Fliesskomma Format für z.B. Anwendungen der Künstlichen Intelligenz und systematische Entwicklungsansätze zum Near-Memory und In-Memory Computing mit Universellen Speicher-automaten (*UMA*) diskutiert. Im Rahmen eines allgemeinen Überblicks über die laufenden und kommende Förderprojekte auf nationaler und europäischer Ebene lieferte der Vortrag ein Beispiel zur Anwendung von Meta-Materialien in der Silizium Photonik - die Implementierung von hocheffizienten Wellenleitern mit negativ-index Materialien. In der anschliessenden Diskussion ergaben sich interessante Fragen zur Implementierbarkeit von *resonanten Detektoren*, wie sie Teil meiner früheren Forschungsarbeit bei der IBM Forschung und Entwicklung waren.

Prof. Dr. Matthias Fertig

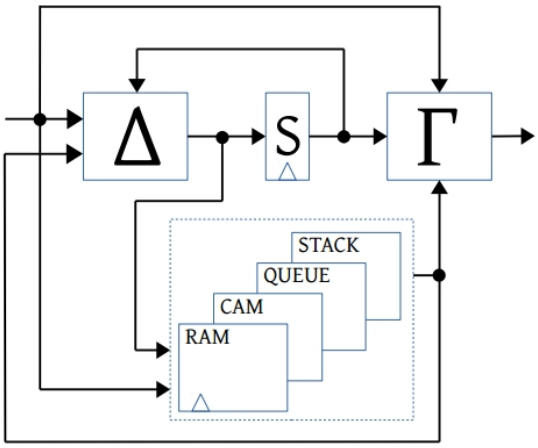
https://asc.ziti.uni-heidelberg.de/en/node/360

63. MPC-Workshop in Mannheim

der Multi-Project-Chip Gruppe Baden Wurttemberg

Am 20. und 21. Februar 2020 traf sich die *MPC-Gruppe* zum *63. Workshop* in Mannheim. Der Workshop wurde in diesem Jahr von der Hochschule Mannheim ausgerichtet. An zwei Tagen im Februar trafen sich die 13 Mitgliederhochschulen zum Austausch von interessanten Themen zu laufenden oder abgeschlossenen Forschungsarbeiten und Projekten im Bereich Mikroelektronik und integrierte Schaltkreise. Wie in jedem Jahr, gab es auch in 2020 interessante Vorträge aus der Industrie. Herr Dr. Frey von der Firma Bosch GmbH refereierte zur Positionsbestimmung von bewegten Fahrzeugen mit Sensoren und präsentierte einen Vortrag mit dem Titel *‚Centimeters make all the difference – vehicle motion and position sensor'*. Aus dem akademischen Umfeld gab es weitere Vorträge der Partnerhochschulen zu den Themen Open Source Hardware (Prof. Dr. Glesner , TU Darmstadt), Stabilität von Operationsverstärkern (Prof. Dr. Zwick, Hochschule Mannheim), GPS und GSM mit emuliertem Trackingsystem (Frank Wasinski M.Sc., Hochschule Giessen), hybride Bildverarbeitung mit FPGA (Jannik Maier M.Sc., Hochschule Ulm), e-Paper Displays (Andreas Angermaier B.Sc., Hochschule Offenburg), Elektronik aus dem 3D-Drucker (Alexander Scholz M.Sc., Hochschule Offenburg und Karlsruher Institute of Technology).

Multi-Projekt-Chip (MPC) Gruppe Baden Wuerrtemberg (seit 1989).



Architektur des Universal Memory Automaten (UMA) - ein Konzept zum Near-Memory Computing.

In diesem Jahr hatte ich als Mitglied der MPC-Gruppe die Gelegenheit, die Hochschule Konstanz zu vertreten und bei dieser Gelegenheit die Theorie der Universellen Speicherautomaten (*UMA*, [1]) in Form eines Paperbeitrags zu veröffentlichen [2].

Universelle Speicherautomaten erweitern die Theorie der endlichen Zustands- und Kellerautomaten auf universelle Speicherkonzepte und ermöglichen damit eine systematische Implementierung von Near-Memory u. In-Memory-Computing Ansätzen. Das Paper stellt neben der Theorie das Entwicklungswerkzeug VERIGEN vor [2].

VERIGEN generiert aus einer UMA-Spezifikation synthetisierbaren Verilog Code sowie eine einfache Testumgebung und kann damit zur Implementierung, Verifikation und Synthese von Universellen Speicherautomaten (UMA) genutzt werden.

Prof. Dr. Matthias Fertig

[1] http://www-home.htwg-konstanz.de/~MFERTIG/pages/uma.html
[2] M. Fertig, *Universal Memory Automaton and Automated Verilog HDL Code Generation for a Cache Coherency Snooping Protocol, 63th Workshop of the Multi-Chip Project (MPC) Group, Mannheim, February 2020, publication pending* [*pre-print*]
[3] http://www-home.htwg-konstanz.de/~MFERTIG/files/tools/VERIGEN_FREE.tar

ISAIC – 1st International Symposium

On Automation, Information and Computing

Das internationale Symposium für Automation, Informationstechnik und wissenschaftlichem Rechnen (*ISAIC*) 2020 fand vom 2.-4. Dezember an der Bejing Jiaotong Universität in Peking statt. Angegliedert an die ISWEE, der traditionellen Konferenz für Wasser, Ökologie und Umwelt mit dem Fokus auf Algorithmen und Anwendungen, organisiert die ISAIC in diesem Jahr zum erstem Mal die Fachgebiete Automatisierung, Informations- und Rechentechnik.

International Symposium on Automation, Information and Computing 2020.

Die ISAIC 2020 wurde ausschliesslich als Online-Symposium organisiert. Präsentationen wurden in Form von Online-Meetings durchgeführt. Die Links wurden dazu im *Programm des Symposiums* bekannt gegeben.

Als Invited Member des Technischen Programm-Kommittee hatte ich die Gelegenheit einen Beitrag zum Symposium zu leisten.

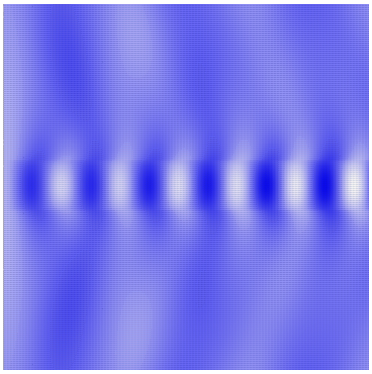
Die *ISAIC 2021* soll vom 03.-06. Dezember 2021 in Peking stattfinden. Sie wird wieder von der Jiaotong Universität organisiert und auf dem Campus der Universität stattfinden.

Prof. Dr. Matthias Fertig

http://www.confisaic.com/
http://www.confisaic.com/#/submissionsGuidelines
http://www.confisaic.com/#/aboutIsaicCommittes

Elektromagnetische Fourier-Simulatoren

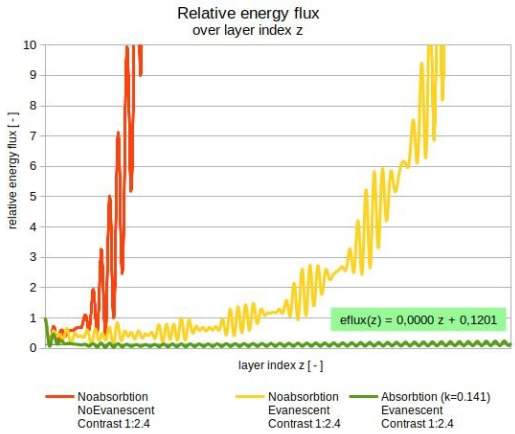
Optimierung von Korrektheit und Laufzeit



Energie-optimierte Simulation eines Wellenleiters mit der WPM 2020.

Numerische Methoden sind bei Entwurf und Optimierung von optischen und photonischen Komponenten unverzichtbar, da die elektromagnetischen Effekte sonst nicht in ausreichendem Maße greifbar gemacht werden können. Da geschlossene analytische Lösungen nur für einen sehr kleinen Problemkreis existieren, werden die partiellen Differentialgleichungen mittels finiter Differenzen oder Fourieranalyse gelöst. Dabei treten Diskretisierungseffekte auf, die einen großen Einfluss auf Laufzeit und Korrektheit haben. Finite-Differenzen Methoden sind aufgrund des hohen Speicherbedarfs und der großen Laufzeiten nur für kleine Probleme anwendbar, sodaß Fourier-Simulatoren trotz einigen Einschränkungen vielversprechende Ansätze darstellen. Beam Propagation Method [1], Wave Propagation Method [2] und Vector Wave Propagation Method [3,4] beschreiben die Algorithmen für die entsprechenden Fourier-Simulatoren zur Berechnung der Feldausbreitung durch Zerlegung in ebene Wellen, dem sogenannten Plane Wave Spectrum (PWS) oder der Plane Wave Decomposition (PWD). Dabei ist die Vector Wave Propagation Method die Einzige der genannten Methoden, welche die bidirektionale Ausbreitung von Vektorwellen über den gesamten spatialen Frequenzbereich unterstützt.

Die genannten Algorithmen weisen Abweichungen im Energiefluss auf und sind somit an Grenzflächen nicht uneingeschränkt energieerhaltend. Es kann ein Zusammenhang zur Indexverteilung und Modellierung von evaneszenten Wellen nachgewiesen werden, die von der Stetigkeit der Indexverteilungen im Modell abhängt., Um Energieerhaltung über Grenzflächen hinweg zu optimieren, ist der Energiefluss an den Grenzflächen zu analysieren. Die Definition energieerhaltender Basisblöcke zum Aufbau komplexer energieerhaltender Modelle – wie in der Literatur für die RCWA vorgeschlagen – erscheint auch für die BPM, WPM und VWPM-Algorithmen vielversprechend, um Energieerhaltung und numerische Stabilität zu gewährleisten. Bei der numerischen Stabilität lässt sich ein Zusammenhang zu den Absorptioneigenschaften des Modells zeigen, wie er auch bei Finite Differenzen Methoden (FDTD) nachweisbar ist. Literaturnachweise zur Energieerhaltung und numerischen Stabilität der BPM, WPM und VWPM sind bisher nur für die BPM und für die VWPM in [3] zu finden.



Einfluss evaneszenter Moden und Absorption auf den relativen Energieflus. Simuliert mit der WPM, dargestellt über dem Lagenindex z.

Da die Komplexiätsklassen des WPM- und VWPM-Algorithmus im Vergleich zum BPM-Algorithmus nicht logarithmisch sondern quadratisch ist (zweidimensionaler Fall) und im Vergleich zu Finite-Differenzen-Methoden eine wesentlich geringeren Speicherbedarf und Laufzeit aufweisen, sind Fourier-Simulatoren für die Berechnung von Feldverteilungen in komplexen optischen Systemen, d.h. bestehend aus vielen Einzelkomponenten (Kameraobjektive oder andere abbildende Systeme mit optischer Achse) gut geeignet. Für die Simulation derartiger Systeme spielt die Optimierung der Laufzeit eine wichtige Rolle. Hier haben sich massiv-parallele Systeme wie Grafikprozessoren als vorteilhaft erwiesen (siehe Jahresbericht 2019).

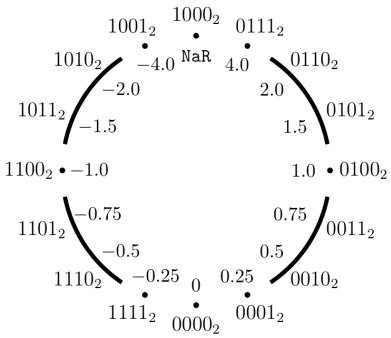
Prof. Dr. Matthias Fertig

[1] Feit, M.D., Fleck, J.A.: Light propagation in graded-index optical fibers. Appl. Opt. 17, 3990–3998 (1978)
[2] K.-H. Brenner, W. Singer, "Light propagation through microlenses: a new simulation method", Appl. Opt. 32, No. 26, 4984 - 4988, (1993)
[3] M. Fertig, K.-H. Brenner, "The Vector wave propagation method (VWPM)", JOSA A, Vol. 27, No. 4, pp. 709 – 717, (2010)
[4] M. Fertig, „Vector Wave Propagation Method", Dissertation am Lehrstuhl für Optoelektronik der Universität Heidelberg, 2011

ASIC-Entwicklung

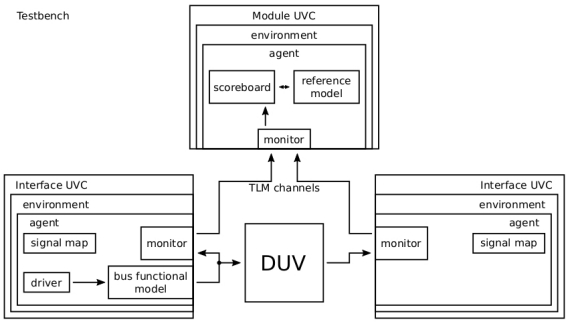
Entwicklung und Verifikation einer FMA-Einheit mit Posit Arithmetik und Quire Format

RISC-V, ein quelloffener und erweiterbarer Instruktionssatz gibt neue Impulse für innovative und offene Hardwarelösungen. Im Bereich des Hochleistungsrechnens (HPC) und der parallelen Rechencluster hat die Fließkommaeinheit (FPU) entscheidenden Einfluss auf die Leistungsfähigkeit. So wird die Rechenleistung in Fließkommaoperationen pro Sekunde gemessen und schnelle hocheffiziente Fließkommaeinheiten sind gerade in der KI unverzichtbar. Der IEEE-754 Standard beschreibt das gängige Format des wissenschaftlichen Rechnens – das IEEE-754 Fliesskommaformat. Da dieses Format bezüglich der Rundungsmodi unspezifisch ist und die Arithmetik mit Werten im IEEE-754 Format grundlegende mathematische Gesetzmäßigkeiten verletzt (Assoziativgesetz), unterscheiden sich die Implementierungen auf vielen Hardwareplattformen und einheitliche Ergebnisse sind nicht garantiert. Mit dem IEEE-754 Format können zudem die meisten Fließkommazahlen nicht exakt dargestellt werden, sodaß ein sogenanntes Inexakt-Bit vorgesehen ist. Die Verarbeitung von denormalisierten Zahlen erfordern großen Hardwareaufwand. Dezimalzahlen sind mit dem IEEE-754 Format nicht exakt darstellbar, sodaß dezimale Fliesskommaeinheiten (DFU) entwickelt werden. Diese Probleme werden vom Posit-Format [3] vermieden. Das Posit-Format bietet zudem eine höhere Codedichte, einen größeren dynamischen Bereich und eine verbesserte Genauigkeit.

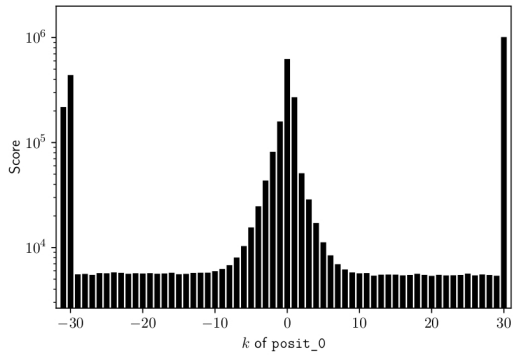


4-Bit Posit im Zahlenkreis. (Quelle: C. Melzer)

Im Rahmen einer kooperativen Masterarbeit der Universität Heidelberg und der Hochschule Konstanz wurde eine RISC-V 64 Bit Fused-Multiply-Add (FMA) Einheit mit Unterstützung des Quire Format zur Verarbeitung von Fliesskommazahlen im Posit Format [1] entwickelt und verifiziert. Das sogenannten Quire-Format ist eine Posit-spezifische Hardware zur effizienten Verrechnung von langen Fliesskomma Wertesequenzen, wie sie zum Beispiel in den Anwendungen der künstlichen Intelligenz vorkommen.



Struktur der Testumgebung für POSIT-FMA. (Quelle: C. Melzer)



Struktur der Testvektoren für k-Parameter. (Quelle: C. Melzer)

Durch den Vergleich mit den Resultaten der Masterarbeit aus dem Jahr 2018 zur Implementierung und Verifikation einer FMA-Einheit mit IEEE-754 Arithmetik [2] kann nun auch besser beurteilt werden, welche Vorteile die Posit-Arithmetik in einer Implementierung bietet.

Prof. Dr. Matthias Fertig

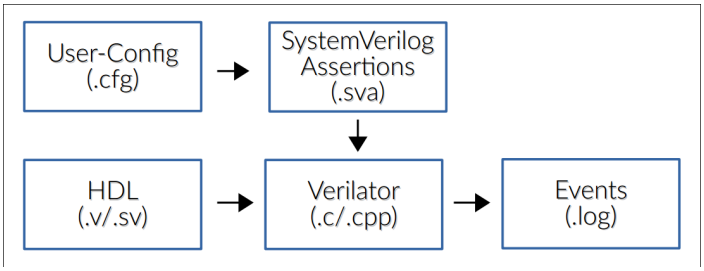
[1] Christian Melzer, *„Design and Verification of a Parametrizable Posit Unit with Fused Multiply-Add and Quire Support“*, Masterarbeit am Lehrstuhl für Rechnerarchitektur der Universität Heidelberg
[2] Felix Kaiser, *„Design and Verification of a RISC-V Conform, Double-Precision Fused Multiply-Add Unit“*, Masterarbeit am Lehrstuhl für Rechnerarchitektur der Universität Heidelberg
[3] Gustafson, John & Yonemoto, I.. (2017), *„Beating floating point at its own game: Posit arithmetic“*, Supercomputing Frontiers and Innovations, 4. 71-86. 10.14529/jsfi170206.

Performanceanalyse von Mikroprozessoren

mit SystemVerilog Assertions

Bei der Entwicklung von Mikroprozessoren ist die Beurteilung der zu erwartenden Leistungsfähigkeit bereits im Entwicklungsprozess wichtig. Dazu sind grundlegende Performancekennzahlen zu beurteilen, wie z.B. Cycles per Instruction (CPI), Instruction per Cycle (IPC), WPC (Watts per cycle), WPI (Watts per Instruction). Zur Performanceanalyse werden daher oft aufwändige Simulationsmodelle geschrieben, die im Laufe des Entwicklungszyklus angepasst und selbst verifiziert werden müssen. Es ist daher wünschenswert, möglichst einfach und zeitnah die Leistungsfähigkeit einer Entwicklung zu kennen, um die Architektur oder deren Implementierung zu optimieren. Da ASICs mittels Hardwarebeschreibungssprachen wie SystemVerilog, SystemC oder VHDL implementiert und verifiziert werden, ist es naheliegend, diese Implementierungen um Programmcode zur Performance-analyse zu erweitern. Derartige Erweiterungen werden bereits für die Verifikation (UVM und Specman e) genutzt.

Im Rahmen einer studentischen Projektarbeit wurde in 2020 untersucht, inwiefern sich SystemVerilog Assertions (SVA) eignen, um einen Prozessablauf zu implementieren, der eine effiziente Performance-analyse eines in SystemVerilog (SV) implementierten digitalen Systems mit SVA ermöglicht. Ein bereits bestehender Prozess wurde im Rahmen einer Projektarbeit analysiert und derart erweitert, daß mittels SVA Ereignisse und Abläufe in der HDL Implementierung eines Prozessors zyklusgenau dokumentiert werden können. Der erweiterte Prozess nutzt das freie Werkzeug *Verilator* zur Erzeugung einer Ereignisliste (.log), aus welcher in einem hier nicht beschriebenen Schritt die Leistungsanalyse erstellt wird. Dazu werden für die auf Basis der HDL-Implementierung (.sv) automatisiert SVAs erzeugt, aus denen zusammen mit der HDL-Beschreibung des Mikroprozessors ein C++ -Modell (.cpp) erstellt wird. Das Modell ist zyklusgenau und wird anschliessend zur Simulation von standardisierten *SPEC Benchmarks* eingesetzt, um die Ereignisliste (.log) auf Basis von möglichst realistischen und repräsentativen Szenarien zu erstellen. Das verwendete C++-Modell hat eine um bis zu zwei Größenordnungen kürzere Laufzeit als eine Simulation des SystemVerilog Modells.



Prozessablauf zur Erzeugung der Eventliste (.log).

Eine laufende Bachelorarbeit untersucht, welches Format sich für die Definition von zu überwachenden Ereignissen und für deren Ausgabe ab Besten eignet, um einen Compiler für die nötigen SVAs zu entwickeln, welche die Abläufe im Prozessor überwachen und dokumentieren. Ebenso wird untersucht, welches Format für die Ausgabe der Ereignisse (.log) geeignet ist, damit die automatisierte Auswertung möglich ist. Falls es möglich ist, den Status und die zeitlichen Abläufe von Ereignissen in den unterschiedlichen funktionalen Einheiten eines Prozessors automatisiert zu dokumentieren, auszuwerten und Zusammenhänge abzuleiten, so können Aussagen über die Interaktion von Einheiten und damit die Leistungsfähigkeit eines Systems getroffen werden. Aus diesen Aussagen könnten Vorschläge für die Verbesserung der Implementierung oder gar der Architektur erarbeitet werden.

Prof. Dr. Matthias Fertig

RTL-Design mit SystemVerilog

Wahlpflichtfach

SystemVerilog ist eine standard Hardwarebeschreibungssprache (HDL) für digitale Systeme. Sie kann zum Design und zur Verifikation eingesetzt werden. Im Kurs *RTL-Design mit SystemVerilog* wird die Implementierung von digitalen Einheiten mit SystemVerilog vermittelt. Die Studenten setzen dabei das Entwicklungswerkzeug Cadence in *praktischen Übungen* ein. Cadence ist in der Industrie weit verbreitet ist und stellt neben der Entwicklungsumgebung von Synopsys den quasi-Standard dar. Zukünftig soll auch die Umgebung von Synopsys eingesetzt werden können, um den Teilnehmern einen Einblick in beide Werkzeuge zu ermöglichen und sie damit optimal auf den Berufseinstieg im ASIC-Design vorzubereiten. Synopsys bietet darüberhinaus eine der ersten kommerziell einsetzbaren Entwicklungsumgebungen für intergierte Komponenten der Silizium Photonik an.

Der Kurs beinhaltet Vorlesung und Laboreinheiten zu Arbeitsabläufen der ASIC-Entwicklung, der Hardwarebeschreibung auf Register-Transfer-Ebene, Hardware-Synthese, statische Timinganalyse und Engineering Change Order (ECO).

Der Arbeitsaufwand beträgt ein Zeitäquivalent von 6ECTS-Punkten. Der Kurs ist als Online-Kurs konzipiert. Alle nötigen Lizenzen für Entwicklungswerkzeuge werden im Rahmen einer Ausbildungslizenz zur Verfügung gestellt. Der Kurs wurde der Studienkommission im WiSe 2020 angeboten und kann ab diesem Zeitpunkt in den Studiengängen durchgeführt werden.

http://www-home.htwg-konstanz.de/~MFERTIG/pages/sv4syn.html

Programmierlabor ‚elektomagnetische Simulation'

Wahlpflichtfach

Algorithmen zur elektromagnetischen Simulation werden für der Entwicklung und Optimierung von optischen und photonischen Komponenten vielfach eingesetzt. Dabei sind Korrektheit, Laufzeit und Speicherbedarf maßgebend für die Verwendbarkeit. Die eingesetzten Algorithmen basieren auf der Approximation von partiellen Differentialgleichungen durch Finite Differenzen (FDTD-Algorithmus) oder mittels Fourier-Analyse (BPM-, WPM-, VWPM-, RCWA-Algorithmus).

Im *Programmierlabor elektromagnetische Simulation* werden die gängigen Fourier-Methoden BPM, WPM und VWPM auf Mikroprozessor (CPU) oder Grafikkarte (GPU) implementiert. Dazu wird den Studenten eine Programmierumgebung zur Verfügung gestellt. Die Umgebung beinhaltet jeweils eine Datei mit vordefinierten Funktionsprototypen für zweidimensionale und dreidimensionale Modelle für skalare und vektorielle Methoden. Diese Dateien werden von den Teilnehmern des Kurses genutzt, um eine der genannten Fourier-Methoden zu implementieren. Die Umgebung ist in der Lage, die Ausbreitung von skalaren oder vektoriellen, zweidimensionalen oder dreidimensionalen, Planwellen oder Gauß'schen Strahlern durch unterschiedliche optische Komponenten zu simulieren.

Die *Programmierumgebung* beinhaltet eine statische und dynamische Bibliothek mit Referenz-Algorithmen, gegen die der studentischen Programmcode kompiliert und automatisch auf Korrektheit Laufzweit und Speicherbedarf analysiert wird. Die Umgebung liefert einen detaillierten Bericht, der die Fehlersuche vereinfachen und jedem Teilnehmer durch sofortige Rückmeldung ein anhaltendes Erfolgsergebnis bieten soll. Durch die Wahl des Algorithmus ist der Schwierigkeitsgrad einstellbar und der Kurs ist damit im Bachelor- und Master-Studium einsetzbar.

Der Kurs erfordert einen äquivalenten Zeitaufwand von 3 ECTS Punkten. Er ist in Form eines Labors organisiert und kann vollständig online absolviert werden. Er wurde den Studienkommissionen der Fakultät Elektrotechnik im WiSe 2020 angeboten und kann ab diesem Zeitpunkt in den Studiengängen durchgeführt werden.

http://www-home.htwg-konstanz.de/~MFERTIG/pages/proglab.html

Masterarbeiten

[2] N. Weiher, *RISC-V Load-Store unit and the virtual memory system design*, Masterarbeit am Institut für Technische Informatik der Universität Heidelberg, Zweitgutachter, laufend.

[1] C. Melzer, *Design and Verification of a Parameterizable Posit Unit with Fused Multiply-Add and Quire Support*, Masterarbeit am Institut für Technische Informatik der Universität Heidelberg, Zweitgutachter, 09/2020.

Bachelorarbeiten

[3] G. Knis, Using SystemVerilog Assertions for performance analysis of microprocessors, Bachelorarbeit, Erstgutachter, laufend.

[2] K. Eberts, *Systematische Betrachtung zur automatisierten Parameterverteilung in Netztopologien*, Bachelorarbeit, Erstgutachter, 06/2020.

[1] O. Höldin, *Implementierung einer Sensorsteuerung über LAN-Anbindung*, Bachelorarbeit bei der Airbus Defense and Space Gmbh, Immenstaad, Erstgutachter, 04/2020.

Studentische Projektarbeiten

[3] C. Casagranda, *Implementierung des BPM-Algorithmus auf einer GPU mit CUDA*, Projektarbeit, laufend.

[2] L. Strobel, *Laufzeitptimierung des BPM-Algorithmus, z.B mit dynamischem Programmieren*, Projektarbeit, laufend.

[1] G. Knis, *Setting up a performance analysis process with SystemVerilog Assertions*, Projektarbeit, 10/2020.

Praktisches Studiensemester

[4] D. Brunner, *Einbindung eines Referenzsensor in die Sensorproduktion*, Bosch GmbH, 08/2020

[3] L. Fuchs, *Einarbeitung in Innovation Labs und Entwurf einer Angebotsstruktur für Innovation Lab as a Service*, Novatec Consulting GmbH, 03/2020.

[2] L. Strobel, *Visualisierung eines MEMS und Fehlererkennung durch CRC*, Bosch GmbH, 02/2020.

[1] M. Heim, *Sicherstellung einer langfristigen Ersatzteilversorgung von Zellmodulen am Beispiel des Audi e-tron*, Audi AG, 02/2020.

Kursangebot

Pflichtfächer: Digitaltechnik [*w3*], Elektrotechnik 1 [*w3*], Elektrotechnik 2 Grundlagenlabor, Konsolidierung der Grundlagen Elektrotechnik

Wahlpflichtfächer: Programmierlabor elektromagnetische Simulation (ab 2021, [*w3*]), RTL-Design mit SystemVerilog (ab 2021, [*w3*]), Photoniklabor (seit 2019, [*w3*]), Optik und Photonik (seit 2016, [*w3*])

Publikationen

M. Fertig, „Universal Memory Automaton and Automated Verilog HDL Code Generation for a Cache Coherency Snooping Protocol“, MPC-WORKSHOP FEBRUAR 2020, [pre-print]

Drittmittel

[1] Kostenübernahmebestätigung der MPC Gruppe Baden Württemberg über 11.000 €, 06/2020.

Exkursionen

[1] zum Quantencomputer des IBM Zürich Research Laboratory, Rüschlikon (CH) für Leistungsträger des Kurses Digitaltechnik des WiSe2019, *(musste wegen der Corona-Pandemie leider abgesagt werden)*

Konstanz, January 2021

Text und Layout: *Prof. Dr. Matthias Fertig*