

Online-Klausur

Name: Matrikelnummer:

Studiengang: Unterschrift:

Bearbeitungszeit: 90 Minuten

Gesamtpunktzahl: 60 Punkte

1. Verwenden Sie keinen Bleistift oder Rotstift!
 2. Unleserliche Angaben werden nicht gewertet!
 3. Verwenden Sie einen Notizbogen für Nebenrechnungen!
 4. Geben Sie den Rechenweg klar strukturiert und leserlich an!
 5. Lösungen ohne Angabe des Rechenwegs werden nicht gewertet!
 6. Nur Lösungen in den Lösungsfeldern werden gewertet!
Nutzen Sie ggf. die Lösungsboxen der englischen Version!

Online-Examination

Name: Student number:

Branch of studies: Signature:

Working time: 90 Minutes

Total points: 60 Points

1. Do not use lead pen or red ink!
2. Unreadable sections are not assessed!
3. Use an additional sheets for side calculatipons!
4. Give your solutions clearly structured and readable!
5. Solutions without calculation path are not assessed!
6. Solutions will be assessed only if given in the text boxes!
Use the text boxes of the german version if required!

Selbstständigkeitserklärung

Persönliche Angaben

Name: _____
(Last name)

Vorname: _____
(First name)

Matrikelnummer: _____
(Student-ID)

Studiengang: _____
(Program)

Angaben zur Prüfung

Name der Prüfung: _____
(Title of the exam)

Prüfer: _____
(Examiner)

Prüfungsdatum: _____
(Exam date)

Hiermit versichere ich, dass ich die oben bezeichnete Leistung selbstständig und ohne unzulässige fremde Hilfe sowie ohne Heranziehung nicht zugelassener Hilfsmittel bearbeitet habe. Mir ist bewusst, dass der Verstoß gegen prüfungsrechtliche Regelungen über die Täuschung bei der Erbringung von Prüfungsleistungen und die Abgabe einer unrichtigen Versicherung geahndet wird.

I declare that I have worked on the above-mentioned assessment independently and without unauthorized assistance. I also confirm that I have not used any non-permissible resources. I am aware that the violation of examination regulations on cheating during examinations or a false declaration is punished.

Ort, Datum: _____
(Place, date)

Unterschrift: _____
(Signature)

Aufgabe 1: Digitale Arithmetik

(20 Punkte)

1.1 Führen Sie folgende Rechnung im Zweierkomplement Code durch.

$$01100,111_{ZK} - 01011,101_{ZK}$$

- a) Nutzen Sie die Eigenschaften des Codes. Rechnen Sie ausführlich! (4 Punkte)
 b) Beurteilen Sie die Korrektheit des Ergebnisses. (4 Punkte)

a) Rechnung im Zweierkomplement (alle Werte im Zweierkomplement):

$$\begin{array}{r}
 01100,111 \\
 + 10100,011 \quad \text{invertierter Wert [1P]} \\
 \hline
 111001,110 \quad \text{Überlauf [0.5P] und Überträge [0.5P]} \\
 \hline
 00001,010 \quad \text{Überlauf ignorieren [1P], Ergebnis [1P]}
 \end{array}$$

b) **Beurteilung des Ergebnisses:** Bei der Addition einer positiven mit einer negativen Zahlen kann es zu keiner Überschreitung des Zahlenbereichs kommen [1P]. Hier wird ein positiver Wert (führende Null) zu einem negativen Wert (führende Eins) addiert. Damit kann das Ergebnis nur korrekt sein [1P]. Der maximal darstellbare Wert ist groß genug, um das Ergebnis korrekt darzustellen [1P]. Das Ergebnis ist mit fünf Vorkomma- und drei Nachkommastellen darstellbar und der Überlauf wird ignoriert [1P].

1.2 Führen Sie folgende Rechnung

$$11100101_{127-Exc} + 01011011_{127-Exc}$$

- a) im 127-Exzess Code durch. (4 Punkte)
 b) und verifizieren Sie die Rechnung im Dezimalsystem. (3 Punkte)

$$\begin{array}{r}
 \text{a)} \\
 11100101 \quad \text{Wert im 127-Exzess Code} \\
 + 01011011 \quad \text{Wert im 127-Exzess Code} \\
 \hline
 11111110 \quad \text{Übertrag} \\
 \hline
 10100000 \quad \text{Zwischenergebnis im 254-Exzess Code [1P]} \\
 - 00111111 \quad \text{Offsetkompensation [1P]} \\
 \hline
 11111110 \quad \text{Übertrag} \\
 \hline
 011000001 \quad \text{Ergebnis [1P] im 127-Exzess Code}
 \end{array}$$

b) Transformation durch Überführung in das Dezimalsystem (TR) und Subtraktion von 127.

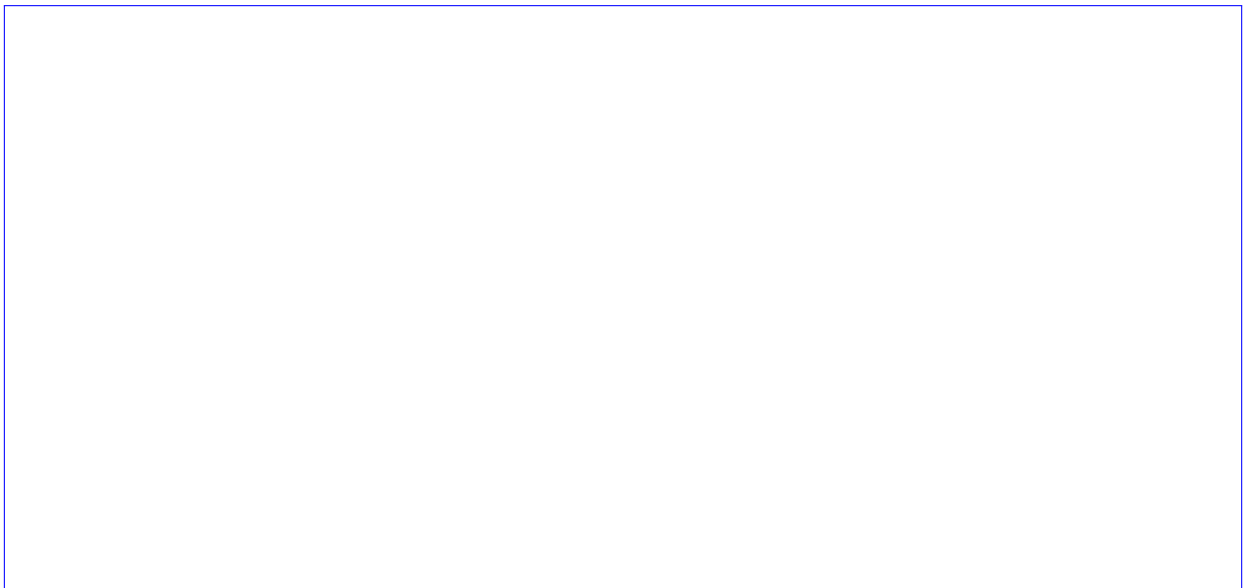
$$\begin{aligned}
 11100101_{127-Exc} &= (229 - 127)_{10} = 102_{10} [1P] \\
 01011011_{127-Exc} &= (229 - 127)_{10} = -36_{10} [1P] \\
 102_{10} + -36_{10} &= 66_{10} (= 11000001_{127-Exc}) [1P]
 \end{aligned}$$

Exercise 1: Digital Arithmetics**(20 Points)**

1.1 Perform the following calculation with Two's Complement.

$$01100,111_{ZK} - 01011,101_{ZK}$$

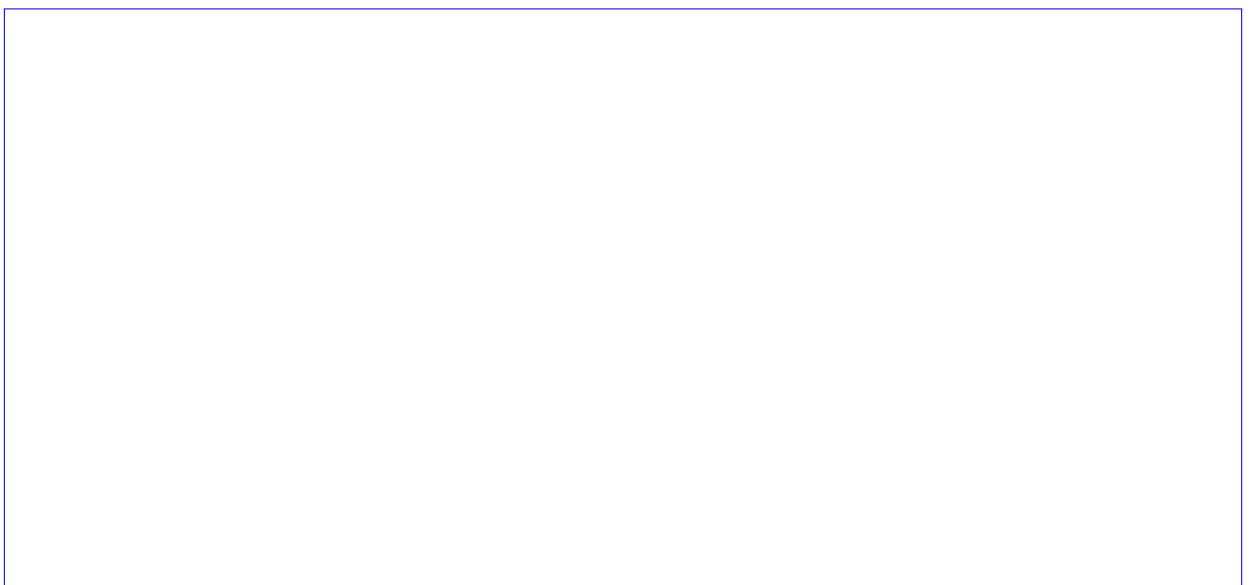
- a) Use the capabilities of the code. Show all details! **(4 Points)**
b) Assess the correctness of the result. **(4 Points)**



1.2 Perform the following calculation

$$11100101_{127-Exc} + 01011011_{127-Exc}$$

- a) with 127-Excess code. **(4 Points)**
b) and verify the result with decimal code. **(3 Points)**



1.2 (Fortsetzung)

1.3 Transformieren Sie mit die Zahl $-38,625_{10}$ in das IEEE-754 Format (**5 Punkte**) mit einfacher Genauigkeit (Single Precision). Rechnen Sie ausführlich!

Schritt 1: Transformation der gegebenen Zahl in das Binärsystem.

$$-38,625_{10} = -100110,101_2$$

Schritt 2: Normalisieren.

$$-100110,101_2 \cdot 2^0 = -1,00110101_2 \cdot 2^5$$

Schritt 3: Berechnen der Charakteristik im 127-Exzess Code mit acht Stellen.

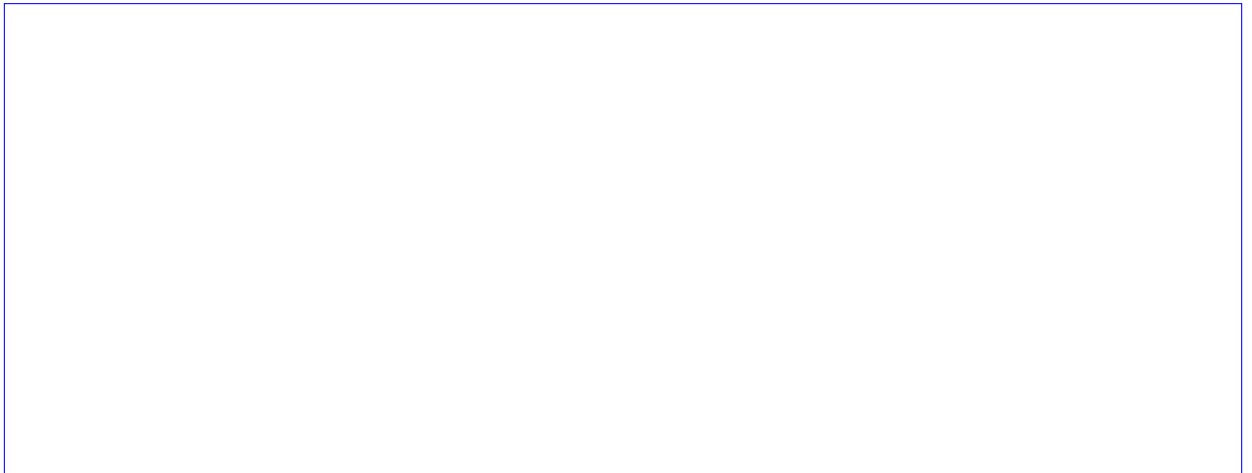
$$5_{10} = 10000100_{127-Exc}$$

Schritt 4: Vorzeichen bestimmen. Die Zahl ist negativ. Das bedeutet $S = 1$.

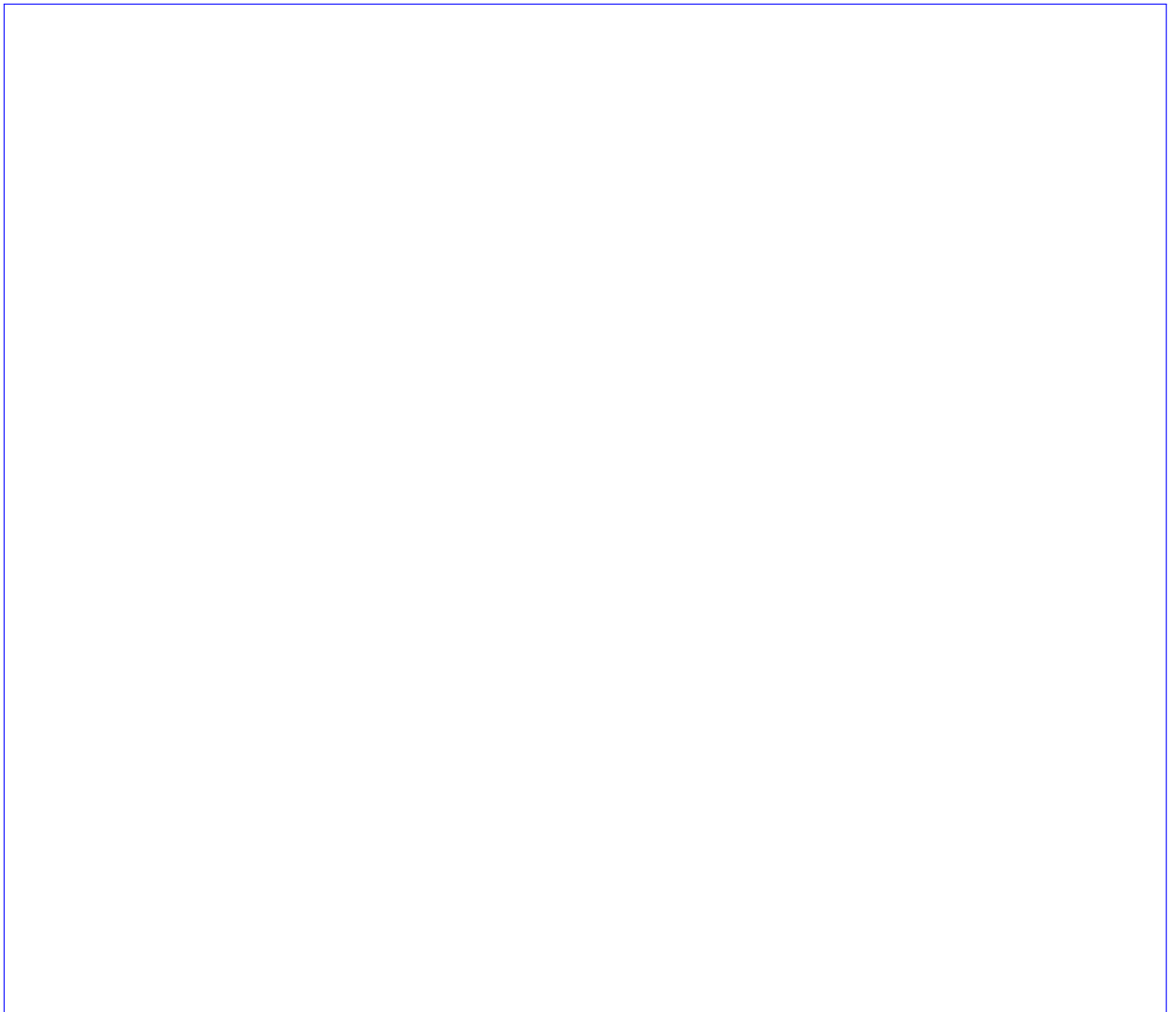
Schritt 5: Ergebnis

$$-38,625_{10} = \boxed{1} \boxed{10000100} \boxed{0011\ 0101\ 0000\ 0000\ 0000\ 000} \text{ IEEE-754}$$

1.2 (Continued)

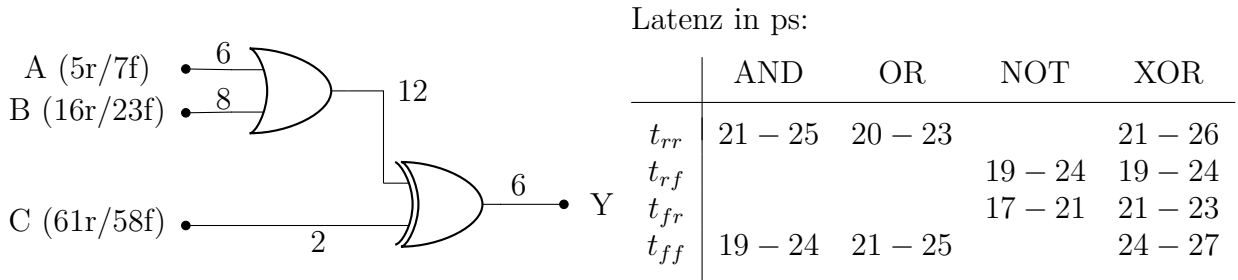


1.3 Transform the number $-38,625_{10}$ to the IEEE-754 Single Precision (5 Points) format. Show all details!



Aufgabe 2: Statische Timinganalyse (20 Punkte)

Gegeben Sei der folgendes Schaltnetz eines Volladdierers zur Berechnung der Summe.
Annahme: Die Latenzen der boole'schen Gatter sind für alle Eingänge gleich!



1. Berechnen Sie die frühesten Ankunftszeit der steigenden und fallenden Flanke am Ausgang Sum. Entnehmen Sie die passenden Latenzen für die Gatter aus der gegebenen Tabelle. **(10 Punkte)**

OR Gatter, Eingang A:
 $5r+6+20rr=\boxed{31r}$ [0.5P]+[1P] Auswahl
 $7f+6+21ff=\boxed{34f}$ [0.5P]+[1P] Auswahl

OR Gatter, Eingang B:
 $16r+8+20rr=44r$ [0.5P]
 $23f+8+21ff=52f$ [0.5P]

XOR Gatter, Eingang 'oben':
 $31r+12+21rr=\boxed{64r}$ [0.5P]+[1P] Auswahl
 $31r+12+19rf=\boxed{62f}$ [0.5P]
 $34f+12+21fr=67r$ [0.5P]
 $34f+12+24ff=70f$ [0.5P]

XOR Gatter, Eingang C:
 $61r+2+21rr=84r$ [0.5P]
 $61r+2+19rf=82f$ [0.5P]
 $58f+2+21fr=81r$ [0.5P]
 $58f+2+24ff=84f$ [0.5P]

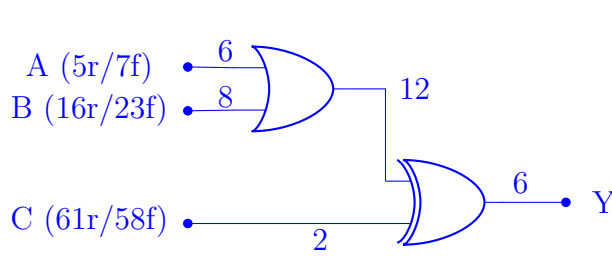
Mit der Leitungslatenz von 6 zum Ausgang Y ergeben sich die frühesten Ankunftszeiten an Y zu $\boxed{(70r,68f)}$ [2P].

Exercise 2: Static Timing Analysis

(20 Points)

Given the following circuit of a full adder to calculate the sum.

Assumption: Latencies of the boolean gates are equal for all inputs.



Latenz in ps:

	AND	OR	NOT	XOR
t_{rr}	21 – 25	20 – 23		21 – 26
t_{rf}			19 – 24	19 – 24
t_{fr}			17 – 21	21 – 23
t_{ff}	19 – 24	21 – 25		24 – 27

1. Calculate the earliest arrival times of rising and falling edge at the output sum. Take the appropriate latencies for the gates from the table.

(10 Points)

2. Erstellen Sie nun ein Early-Timingmodell für die gezeigte Schaltung. (5 Punkte)
Berechnen Sie die Latenzen $r_r/r_f/f_r/f_f$ für Eingang B.

Latenzmodell für Eingang B (Ankunftszeiten sind zu vernachlässigen!)

$$0r+8+20r_r+12 + 21r_r+6 = \boxed{67r_r}$$

$$0r+8+20r_r+12 + 19r_f+6 = \boxed{65r_f}$$

$$0f+8+21f_f+12 + 21f_r+6 = \boxed{68f_r}$$

$$0f+8+21f_f+12 + 24f_f+6 = \boxed{71f_f}$$

Das Early-Latenzmodell enthält alle Latenzzeiten ($67r_r, 65r_f, 68f_r, 71f_f$) für den Eingang B zum Ausgang Y, da alle Flanken unterschiedlich sind.

3. a. Erläutern Sie Setup- und Hold-Zeit. (2 Punkte)
b. Welche Rolle spielen Setup- und Hold-Zeit bei der Bestimmung der maximalen Frequenz, mit der eine synchrone Schaltung betrieben werden kann! (3 Punkte)

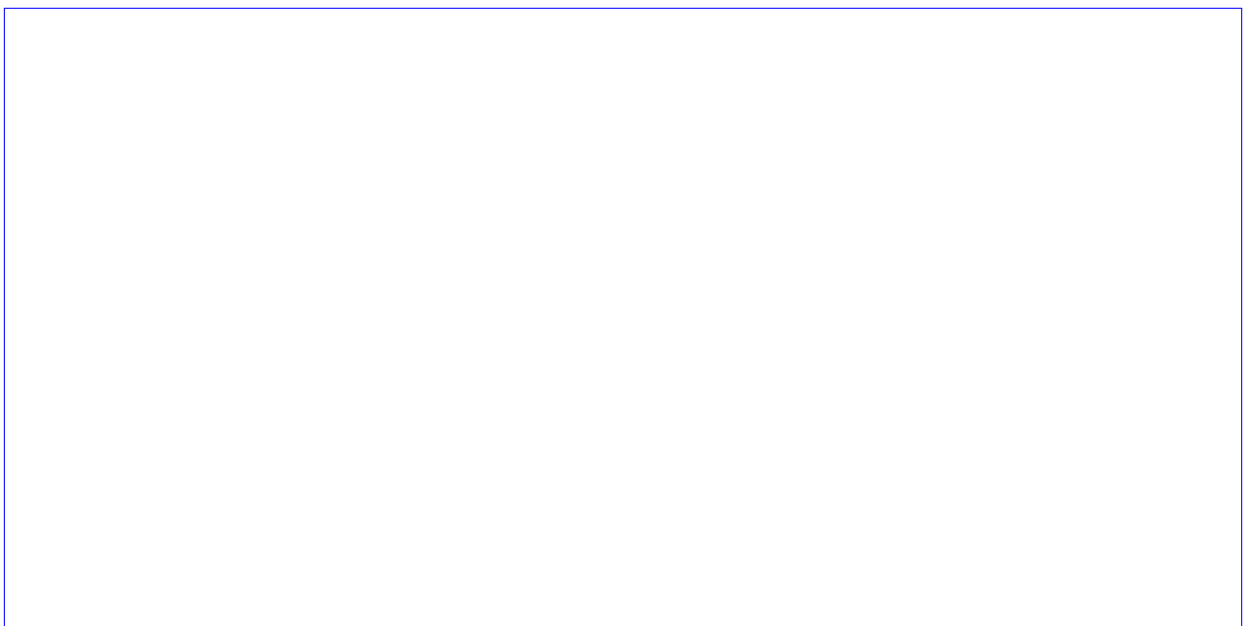
a) Setup- und Hold-Zeit beschreiben Latenzzeiten innerhalb von Speicherelementen. Die Setup-Zeit ist die Latenz, die das Datensignal benötigt, um vom Dateneingang zu beiden Datenausgängen zu propagieren [1P]. Die Hold-Zeit ist die Latenz, die das Taktsignal (Enable-Signal) benötigt, um die Eingangs- von der Speichersektion zu trennen [1P].

b) Die Hold-Zeit spielt bei der Bestimmung der maximalen Frequenz keine Rolle [1P]. Die Setup-Zeit t_s ist zur Latenz der Logik t_p zu addieren [1P] und reduziert damit die maximale Taktrate nach der Formel $f_{max} = \frac{1}{t_p+t_s}$ [1P].

2. Derive an early timing model for the shown circuit. **(5 Points)**
Give the latencies $r_r/r_f/f_r/f_f$ for input B.



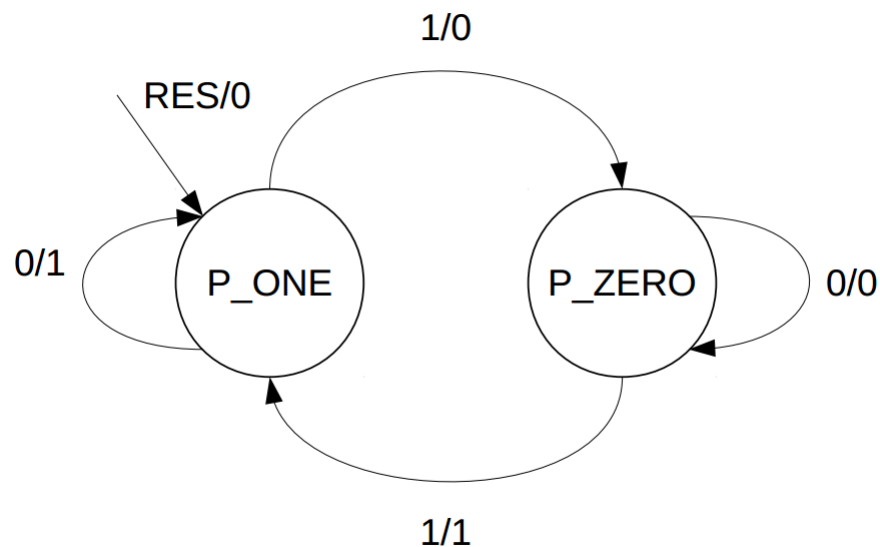
3. a. Explain setup and hold time. **(2 Points)**
b. What is the role of setup and hold times in regards to the maximum frequency of a synchronous system! **(3 Points)**



Aufgabe 3: Endliche Determ. Automaten (20 Punkte)

Als Parity werden ein oder mehrere Kontrollbits bezeichnet, die aus einer zu übermittelnden Nachricht zur Fehlererkennung oder -korrektur errechnet werden. Mit EVEN-Parity bezeichnet man ein Paritätsbit, welches die Nachricht zu einer geraden Anzahl Einsen ergänzt. Mit ODD-Parity bezeichnet man ein Paritätsbit, welches die Nachricht zu einer ungeraden Anzahl Einsen ergänzt.

1. Entwickeln Sie einen endlichen deterministischen Automaten zur Berechnung eines 1-Bit ODD-Paritätsbit für einen 1-Bit breiten Eingestrom. Geben Sie den Zustandsgraph in MEALY-Architektur an. Im Resetfall soll als Parität immer Null ausgegeben werden! Vermeiden Sie unnötige Zustände! **(8 Punkte)**



Punkteverteilung:

Reset mit Ausgabe Null [1P]

Transitionsbedingungen korrekt gemäß Funktionsbeschreibung gemäß MEALY Architektur [3P]


Korrekt Ausgabe der Parität gemäß MEALY Architektur [2P]

Minimale Anzahl Zustände [2P]

Exercise 3: Deterministic Finite Automata (20 Points)

Parities are one or more control bits, derived from a message to be sent for error detection or correction. An EVEN parity is a parity bit that complements the number of ones in a message to an even number of ones. An ODD parity is a parity that complements the number of ones in a message to an odd number of ones.

1. Develop a finite state machine to compute a 1-bit ODD parity for a 1-bit wide input sequence. Draw the state graph for a MEALY architecture. In case of reset the output has to be zero!
Avoid redundant states! **(8 Points)**



2. Geben Sie die Ausgabefunktion des Automaten aus Teil 1 (5 Punkte) in kanonischer disjunktiver Normalform mit asynchronem Reset an.

1. Zustandskodierungstabelle [1P]

Zustandsname	S
P_ZERO	0
P_ONE	1

2. Wahrheitstabelle der Ausgabefunktion [2P].

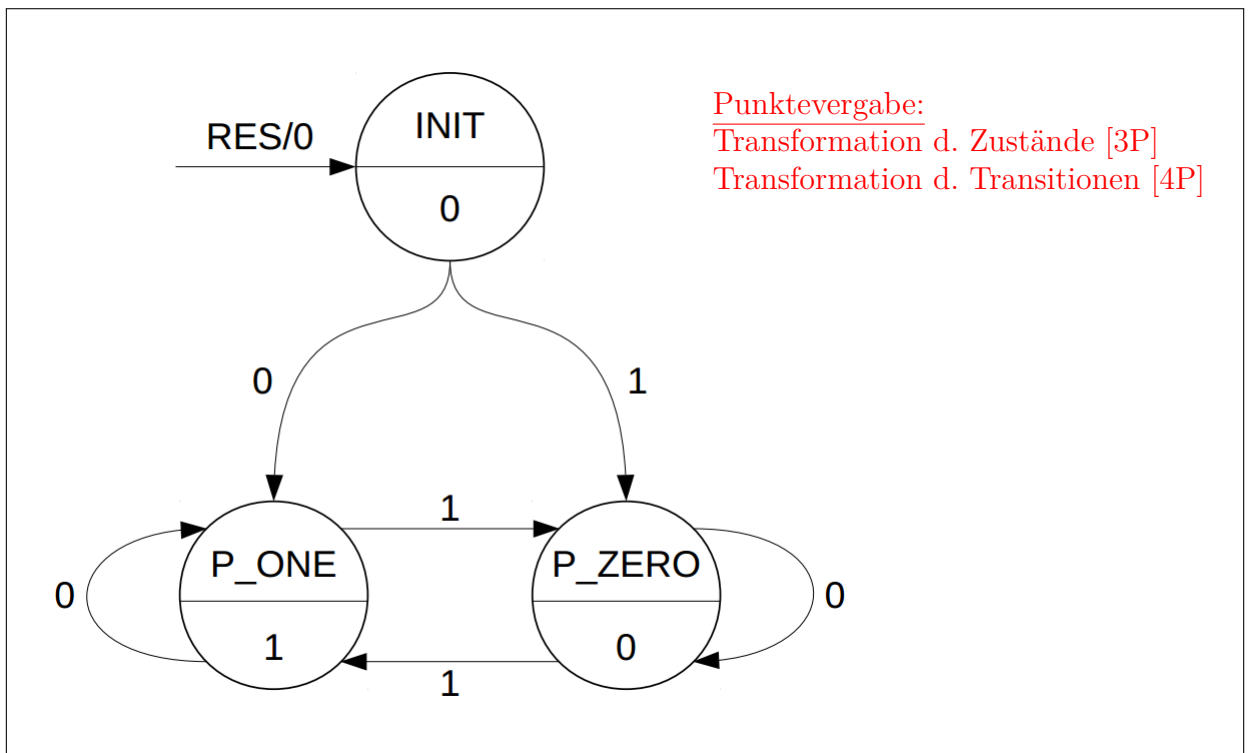
Datenstrom = D , Reset-Signal = RES , aktueller Zustand S_t , Ausgang = OP .

S_t	RES	D	OP
x	1	x	0
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	0

3. Ausgabefunktion als kanonische disjunktive Normalform auslesen [2P].

$$OD = (\overline{S_t} \wedge \overline{RES} \wedge D) \vee (S_t \wedge \overline{RES} \wedge \overline{D}) \vee$$

3. Transformieren Sie den Automaten aus Teil 1 in eine MOORE Archi- (7 Punkte) tektur.



2. Give the output function for the automata in part 1 as canonical sum of products with asynchronous reset. **(5 Points)**



3. Transform the finite state machine in part 1 to a MOORE architecture. **(7 Points)**

