

# Online-Klausur

---

Name: ..... Matrikelnummer: .....

Studiengang: ..... Unterschrift: .....

Bearbeitungszeit: 90 Minuten

Gesamtpunktzahl: 60 Punkte

1. Verwenden Sie keinen Bleistift oder Rotstift!
  2. Unleserliche Angaben werden nicht gewertet!
  3. Verwenden Sie einen Notizbogen für Nebenrechnungen!
  4. Geben Sie den Rechenweg klar strukturiert und leserlich an!
  5. Lösungen ohne Angabe des Rechenwegs werden nicht gewertet!
  6. Nur Lösungen in den Lösungsfeldern werden gewertet!  
Nutzen Sie ggf. die Lösungsboxen der englischen Version!

# Online-Examination

---

Name: ..... Student number: .....

Branch of studies: ..... Signature: .....

Working time: 90 Minutes

Total points: 60 Points

1. Do not use lead pen or red ink!
2. Unreadable sections are not assessed!
3. Use an additional sheets for side calculatipons!
4. Give your solutions clearly structured and readable!
5. Solutions without calculation path are not assessed!
6. Solutions will be assessed only if given in the text boxes!  
Use the text boxes of the german version if required!

## Selbstständigkeitserklärung

### Persönliche Angaben

Name: \_\_\_\_\_  
(Last name)

Vorname: \_\_\_\_\_  
(First name)

Matrikelnummer: \_\_\_\_\_  
(Student-ID)

Studiengang: \_\_\_\_\_  
(Program)

### Angaben zur Prüfung

Name der Prüfung: \_\_\_\_\_  
(Title of the exam)

Prüfer: \_\_\_\_\_  
(Examiner)

Prüfungsdatum: \_\_\_\_\_  
(Exam date)

Hiermit versichere ich, dass ich die oben bezeichnete Leistung selbstständig und ohne unzulässige fremde Hilfe sowie ohne Heranziehung nicht zugelassener Hilfsmittel bearbeitet habe. Mir ist bewusst, dass der Verstoß gegen prüfungsrechtliche Regelungen über die Täuschung bei der Erbringung von Prüfungsleistungen und die Abgabe einer unrichtigen Versicherung geahndet wird.

I declare that I have worked on the above-mentioned assessment independently and without unauthorized assistance. I also confirm that I have not used any non-permissible resources. I am aware that the violation of examination regulations on cheating during examinations or a false declaration is punished.

Ort, Datum: \_\_\_\_\_  
(Place, date)

Unterschrift: \_\_\_\_\_  
(Signature)

**Aufgabe 1: Digitale Arithmetik****(20 Punkte)**

1.1 Führen Sie folgende Rechnung im Zweierkomplement Code durch.

$$01100,111_{ZK} - 01011,101_{ZK}$$

- a) Nutzen Sie die Eigenschaften des Codes. Rechnen Sie ausführlich! **(4 Punkte)**  
b) Beurteilen Sie die Korrektheit des Ergebnisses. **(4 Punkte)**

1.2 Führen Sie folgende Rechnung

$$11100101_{127-Exc} + 01011011_{127-Exc}$$

- a) im 127-Exzess Code durch. **(4 Punkte)**  
b) und verifizieren Sie die Rechnung im Dezimalsystem. **(3 Punkte)**

**Exercise 1: Digital Arithmetics****(20 Points)**

1.1 Perform the following calculation with Two's Complement.

$$01100,111_{ZK} - 01011,101_{ZK}$$

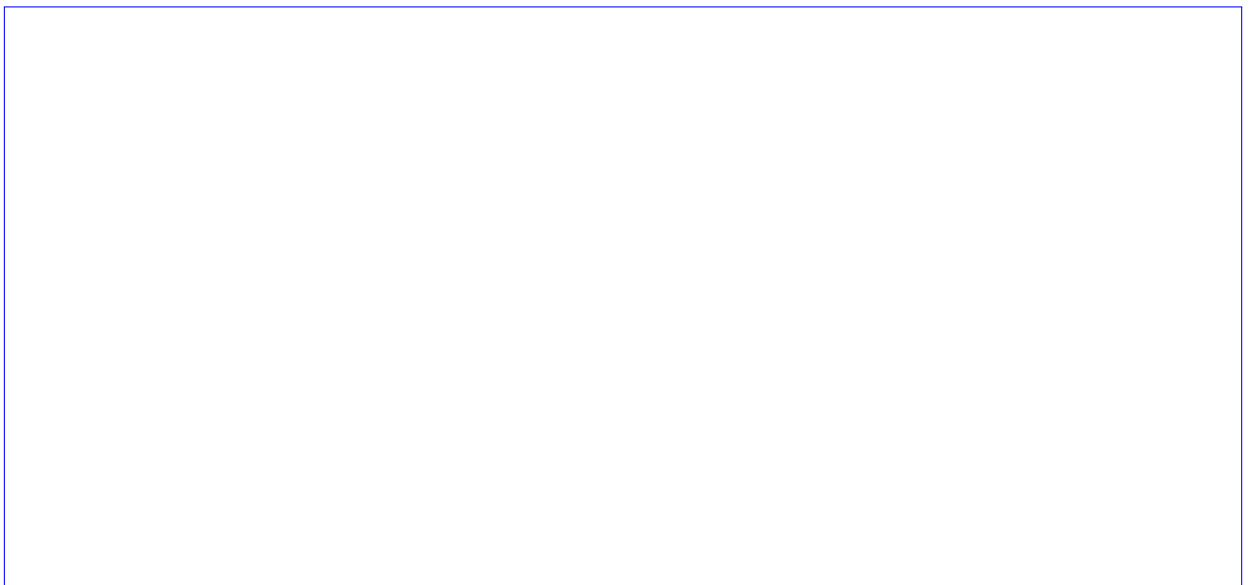
- a) Use the capabilities of the code. Show all details! **(4 Points)**  
b) Assess the correctness of the result. **(4 Points)**



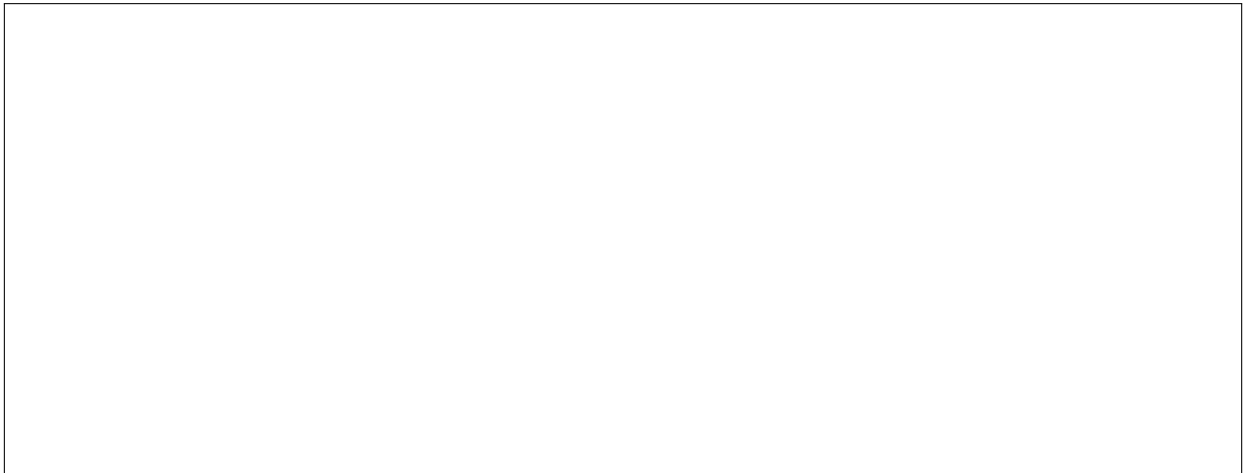
1.2 Perform the following calculation

$$11100101_{127-Exc} + 01011011_{127-Exc}$$

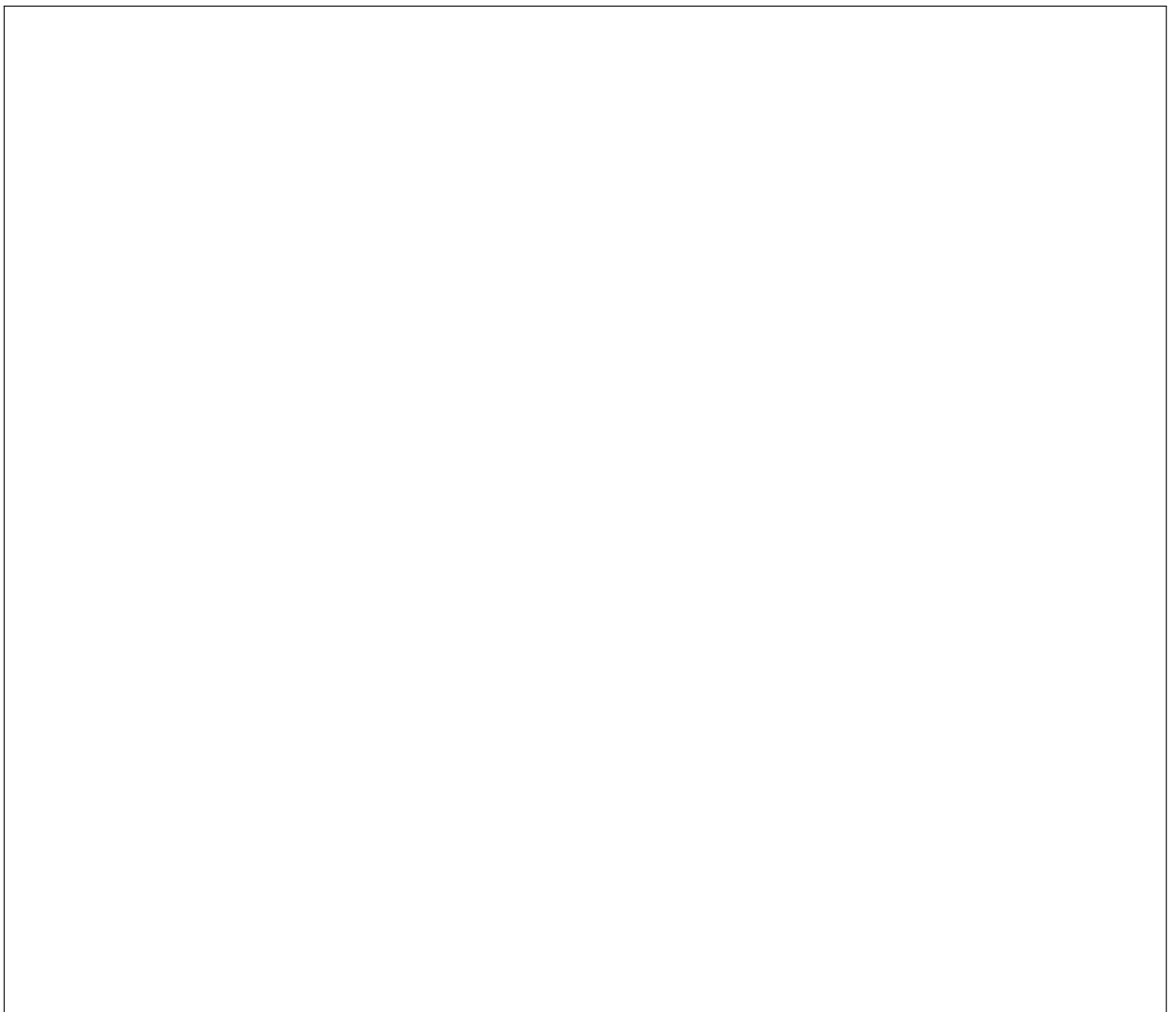
- a) with 127-Excess code. **(4 Points)**  
b) and verify the result with decimal code. **(3 Points)**



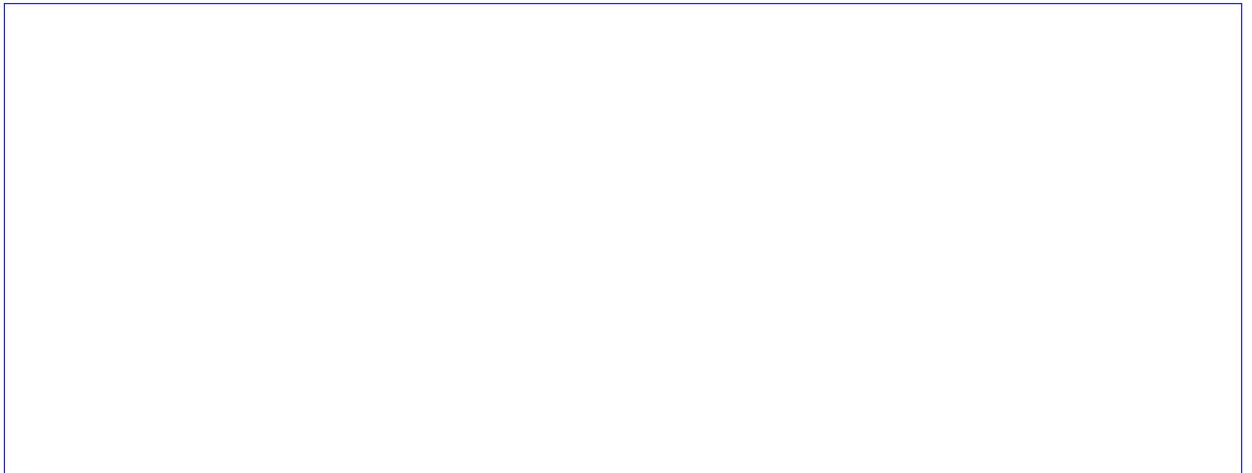
## 1.2 (Fortsetzung)



1.3 Transformieren Sie mit die Zahl  $-38,625_{10}$  in das IEEE-754 Format (**5 Punkte**) mit einfacher Genauigkeit (Single Precision). Rechnen Sie ausführlich!



## 1.2 (Continued)

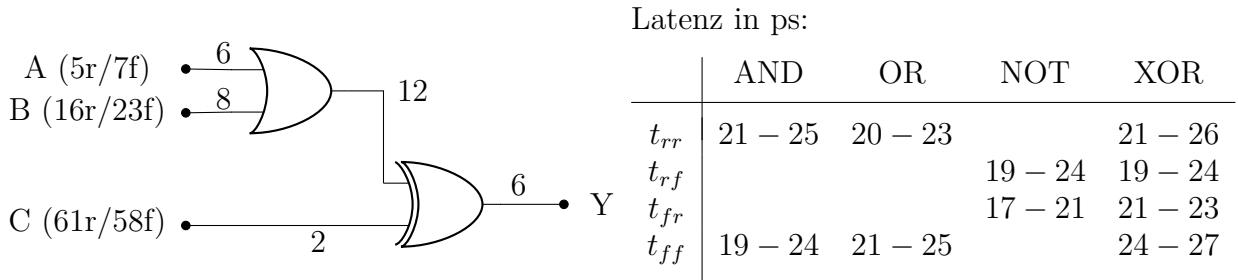


1.3 Transform the number  $-38,625_{10}$  to the IEEE-754 Single Precision (5 Points) format. Show all details!



**Aufgabe 2: Statische Timinganalyse (20 Punkte)**

Gegeben Sei der folgendes Schaltnetz eines Volladdierers zur Berechnung der Summe.  
Annahme: Die Latenzen der boole'schen Gatter sind für alle Eingänge gleich!



1. Berechnen Sie die frühesten Ankunftszeit der steigenden und fallenden Flanke am Ausgang Sum. Entnehmen Sie die passenden Latenzen für die Gatter aus der gegebenen Tabelle. **(10 Punkte)**

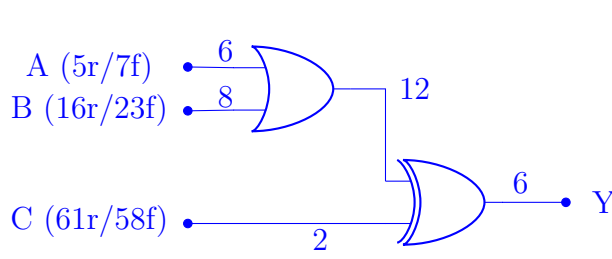


**Exercise 2: Static Timing Analysis**

**(20 Points)**

Given the following circuit of a full adder to calculate the sum.

Assumption: Latencies of the boolean gates are equal for all inputs.



Latenz in ps:

	AND	OR	NOT	XOR
$t_{rr}$	21 – 25	20 – 23		21 – 26
$t_{rf}$			19 – 24	19 – 24
$t_{fr}$			17 – 21	21 – 23
$t_{ff}$	19 – 24	21 – 25		24 – 27

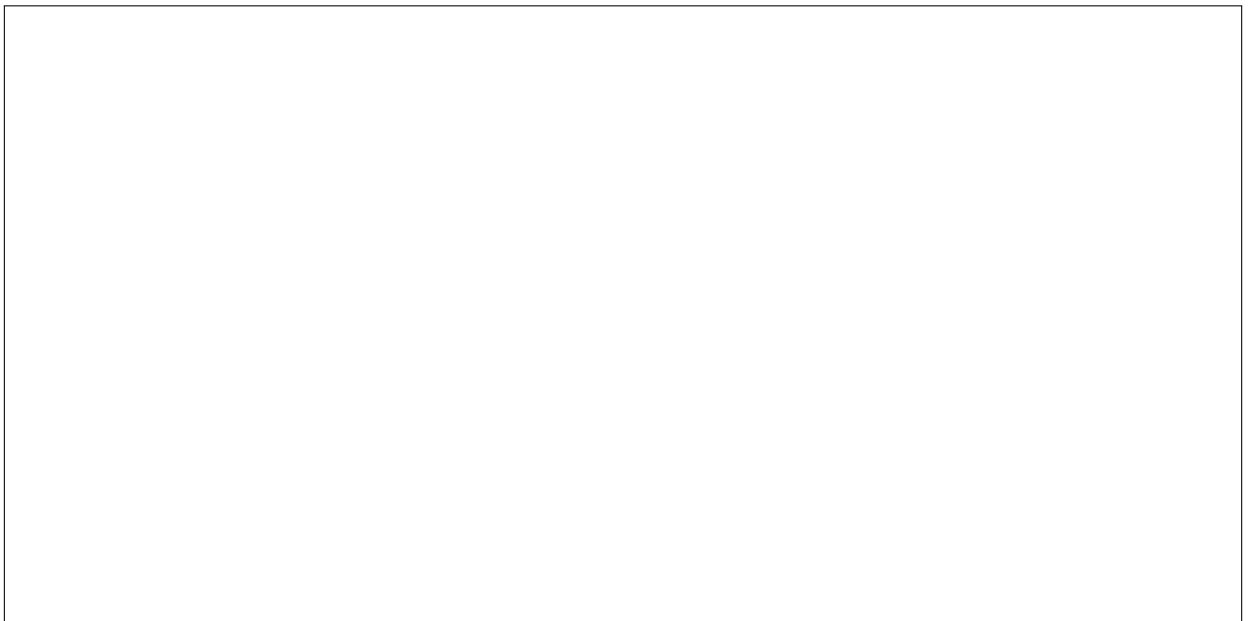
1. Calculate the earliest arrival times of rising and falling edge at the output sum. Take the appropriate latencies for the gates from the table.

**(10 Points)**

2. Erstellen Sie nun ein Early-Timingmodell für die gezeigte Schaltung. **(5 Punkte)**  
Berechnen Sie die Latenzen  $r_r/r_f/f_r/f_f$  für Eingang B.



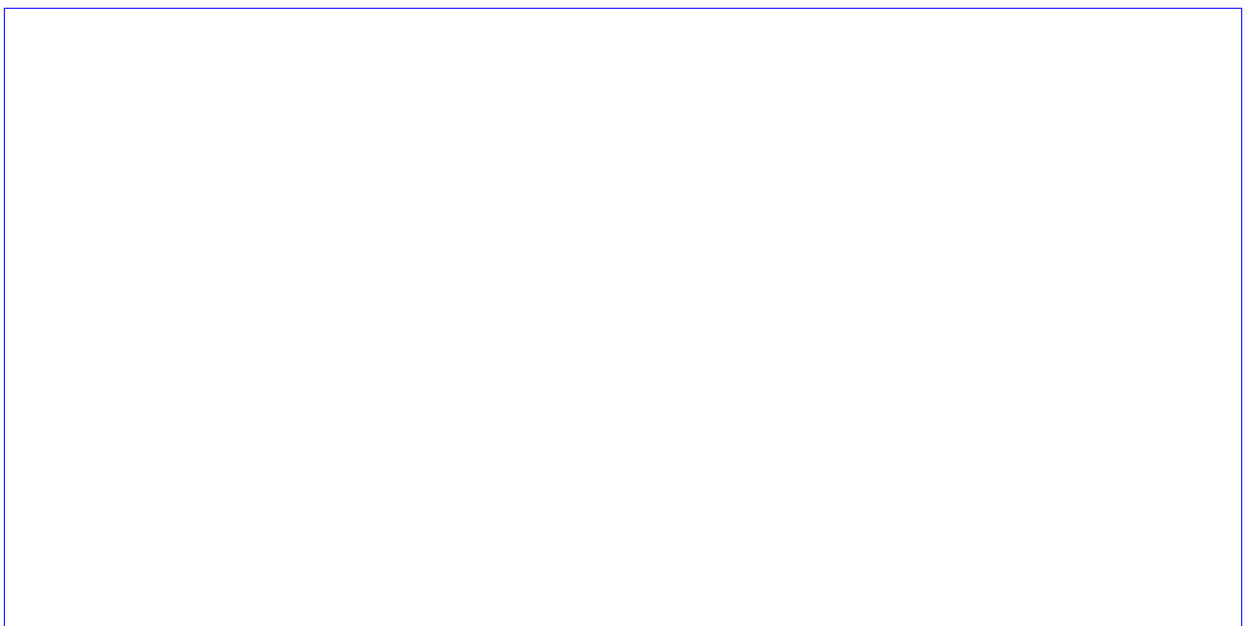
3. a. Erläutern Sie Setup- und Hold-Zeit. **(2 Punkte)**  
b. Welche Rolle spielen Setup- und Hold-Zeit bei der Bestimmung der maximalen Frequenz, mit der eine synchrone Schaltung betrieben werden kann! **(3 Punkte)**



2. Derive an early timing model for the shown circuit. **(5 Points)**  
Give the latencies  $r_r/r_f/f_r/f_f$  for input B.



3. a. Explain setup and hold time. **(2 Points)**  
b. What is the role of setup and hold times in regards to the maximum frequency of a synchronous system! **(3 Points)**



**Aufgabe 3: Endliche Determ. Automaten (20 Punkte)**

Als Parity werden ein oder mehrere Kontrollbits bezeichnet, die aus einer zu übermittelnden Nachricht zur Fehlererkennung oder -korrektur errechnet werden. Mit EVEN-Parity bezeichnet man ein Paritätsbit, welches die Nachricht zu einer geraden Anzahl Einsen ergänzt. Mit ODD-Parity bezeichnet man ein Paritätsbit, welches die Nachricht zu einer ungeraden Anzahl Einsen ergänzt.

1. Entwickeln Sie einen endlichen deterministischen Automaten zur Berechnung eines 1-Bit ODD-Paritätsbit für einen 1-Bit breiten Eingabestrom. Geben Sie den Zustandsgraph in MEALY-Architektur an. Im Resetfall soll als Parität immer Null ausgegeben werden! Vermeiden Sie unnötige Zustände! **(8 Punkte)**




**Exercise 3: Deterministic Finite Automata (20 Points)**

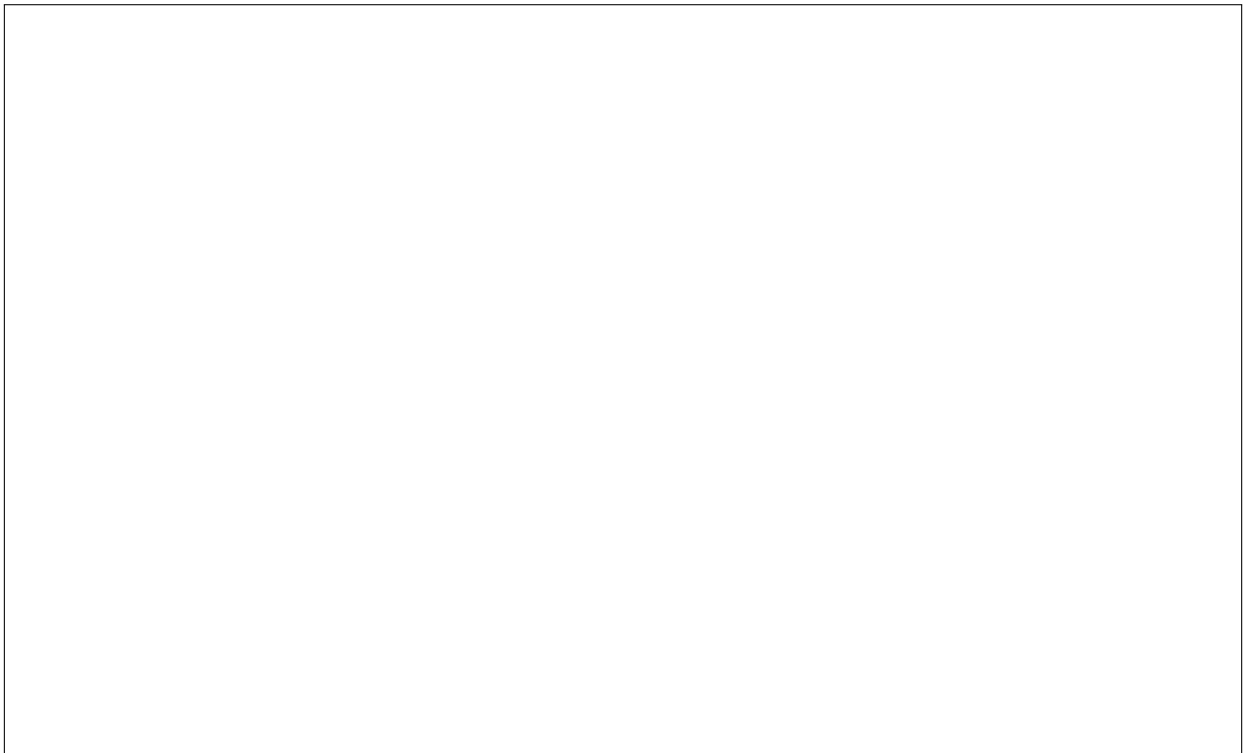
Parities are one or more control bits, derived from a message to be sent for error detection or correction. An EVEN parity is a parity bit that complements the number of ones in a message to an even number of ones. An ODD parity is a parity that complements the number of ones in a message to an odd number of ones.

1. Develop a finite state machine to compute a 1-bit ODD parity for a 1-bit wide input sequence. Draw the state graph for a MEALY architecture. In case of reset the output has to be zero!  
Avoid redundant states! **(8 Points)**

2. Geben Sie die Ausgabefunktion des Automaten aus Teil 1 (5 Punkte)  
in kanonischer disjunktiver Normalform mit asynchronem Reset an.



3. Transformieren Sie den Automaten aus Teil 1 in eine MOORE Archi- (7 Punkte)  
tektur.



2. Give the output function for the automata in part 1 as canonical sum of products with asynchronous reset. **(5 Points)**



3. Transform the finite state machine in part 1 to a MOORE architecture. **(7 Points)**

